

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP357092499A
DOCUMENT-IDENTIFIER: JP 57092499 A
TITLE: DIRECTORY DEVICE
PUBN-DATE: June 9, 1982

INVENTOR-INFORMATION:
NAME
AOYANAGI, KEIZO
HIRAOKA, TAKASHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP55167435
APPL-DATE: November 28, 1980

INT-CL (IPC): G11C029/00, G06F011/10 , G06F013/00 ,
G11C009/06

US-CL-CURRENT: 714/805

ABSTRACT:

PURPOSE: To prevent erroneous operation easily and to attain each access correctly and efficiently by making a parity check on directly information by providing only a parity generating circuit and a comparing circuit.

CONSTITUTION: A comparing circuit 19 compares a parity bit on a parity output signal line 15 with that on a readout output signal line 18. When dissidence is detected, an inhibition signal is outputted to an inhibition

signal line 20. A comparing circuit 21, even when detecting the coincidence between information on an output signal line 12 and that on a readout output signal line 17, is inhibited by the inhibition signal on the signal line 20 from outputting a coincidence detection signal. Consequently, a cash error is judged to be generated and a CPU reads data in a prescribed address correctly. In this case, directory information which corresponds to the address and a parity bit generated by a parity generating circuit 14 on the basis of the information are registered in a directory memory 16 and the data is retained in a cash memory.

COPYRIGHT: (C)1982,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—92499

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)6月9日

G 11 C 29/00

6974—5B

G 06 F 11/10

7368—5B

13/00

7361—5B

G 11 C 9/06

7056—5B

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ デイレクトリ装置

⑯ 発明者 平岡孝

東京都府中市東芝町1番地東京

芝浦電気株式会社府中工場内

⑰ 特 願 昭55—167435

⑱ 出 願 昭55(1980)11月28日

⑲ 出 願 人 東京芝浦電気株式会社

⑳ 発 明 者 青柳恵三

川崎市幸区堀川町72番地

東京都府中市東芝町1番地東京

㉑ 代 理 人 弁理士 鈴江武彦 外2名

芝浦電気株式会社府中工場内

明 細 書

1. 発明の名称

ディレクトリ装置

2. 特許請求の範囲

(1) ディレクトリ情報およびこのディレクトリ情報のパリティビットとの連結情報が登録されるディレクトリメモリと、キャッシュアクセス要求時に提示されるメモリアドレスが保持されるアドレスレジスタと、このアドレスレジスタの上位領域の保持内容に基づいてパリティビットを生成するパリティ発生回路と、キャッシュアクセス要求時に、上記アドレスレジスタの上位領域の保持内容および上記パリティ発生回路によつて生成されるパリティビットとの連結情報と上記アドレスレジスタの下位領域の保持内容で示される上記ディレクトリメモリのアドレス位置から読出されるディレクトリ情報およびそのパリティビットとの連結情報とを比較してキャッシュヒット／キャッシュミス判定する比較部とを具備することを特徴とするディレ

クトリ装置。

(2) 上記比較部は、上記アドレスレジスタの上位領域の保持内容と上記アドレスレジスタの下位領域の保持内容で示される上記ディレクトリメモリのアドレス位置から読出される情報のうちのディレクトリ情報とを比較する第1の比較回路と、上記パリティ発生回路によつて生成されるパリティビットと上記アドレスレジスタの下位領域の保持内容で示される上記ディレクトリメモリのアドレス位置から読出される情報のうちのパリティビットとを比較し、不一致検出時に上記第1の比較回路の一致検出出力を禁止する禁止信号を出力する第2の比較回路とを備えていることを特徴とする特許請求の範囲第1項記載のディレクトリ装置。

(3) 上記禁止信号を異常検出信号として用いることを特徴とする特許請求の範囲第2項記載のディレクトリ装置。

8. 発明の詳細な説明

本発明はキャッシュメモリシステムに用いら

れるディレクトリ装置に関する。

一般にキャッシュメモリシステムは、キャッシュメモリに格納されているブロックデータのアドレス情報(ディレクトリ情報)を登録管理するためのディレクトリメモリと称されるファイルを有している。キャッシュメモリシステムにおいて、中央処理装置(以下CPUと称す)が主記憶装置をアクセスする場合、先ずキャッシュメモリに対してメモリアクセスを行なう。そして必要とするデータがキャッシュメモリに格納されているか否かをディレクトリメモリに登録されているアドレス情報とメモリアドレスとを比較判別する動作が行なわれる。すなわち、キャッシュメモリへのアクセス要求時にCPUから出力されるメモリアドレスとディレクトリメモリに登録されているアドレス情報とが一致するか否かがチェックされる。そして、キャッシュメモリに登録されていれば(これをヒットと称する)キャッシュメモリよりデータが読出されCPUに転送される。しかしキャッシュメモ

リに登録されていなければ(これをキャッシュミスと称する)CPUは同じメモリアドレスを用いて主記憶装置よりデータを読出し、当該データをキャッシュメモリに格納する。これは例えばキャッシュメモリに格納されている一番古いデータと当該データとを置き換えて格納する。同時にディレクトリメモリに置き換えを行なつたデータの新しいアドレス(ディレクトリ情報)を登録する動作が行なわれる。そして、主記憶装置又はキャッシュメモリから読出されるデータがCPUに転送される。

このようなアドレス管理を行なう部分は、通常ディレクトリ装置と称されている。ディレクトリ装置において、たとえばディレクトリメモリに故障が発生した場合、その故障状態たとえばビット抜けなどによつて次の如き現象が生じることがあつた。すなわち、たとえば16進表示で"1000"番地(以下、"1000"、の如く数字16を添えて表わす)と"3000"番地のデータがキャッシュメモリの同一プロッ

クに保存されるものである場合において、ディレクトリメモリに"3000"番地が登録されているとき、上述の故障によつてビットの縮退が起り、"3000"番地の登録内容が"1000"番地に変化してしまうことがあつた。このような状態でCPUから

"3000"番地を示すアドレスのキャッシュアクセス要求が生じた場合、明らかなようにキャッシュミスとなる。このため、キャッシュメモリからのデータ読出しはできなくなるが、主記憶装置より正しいデータが読出されるので見かけ上誤動作は生じない。しかし、CPUから"1000"番地を示すアドレスによるキャッシュアクセス要求が生じた場合、従来のディレクトリ装置では次のような不都合が生じる欠点があつた。

すなわち、従来のディレクトリ装置では、"1000"番地のアドレスのキャッシュアクセス要求に対し、当該アドレスが本来ディレクトリメモリに登録されていないアドレスで

あるにもかかわらず上述の故障のためにキャッシュヒットし、この結果キャッシュメモリより"3000"番地のデータが誤つて読出されてしまう欠点があつた。

本発明は上記事情に鑑みてなされたものでその目的は、極めて簡単な構成でありながらキャッシュアクセス要求に対するデータの読出しが誤りなく行なえるディレクトリ装置を提供することにある。

以下、本発明の一実施例を図面を参照して説明する。図中、11はメモリアクセス要求時にCPUから出力されるメモリアドレスを保持するための $n+m$ ビットのアドレスレジスタである。また、12はアドレスレジスタ11の上位 n ビットの出力信号線、13はアドレスレジスタ11の下位 m ビットの出力信号線である。14はパリティ発生回路である。パリティ発生回路14は出力信号線12に接続され、アドレスレジスタ11の上位 n ビットの内容に対応するパリティビットを発生するための公知の回路

構成を含んでいる。16はパリティ発生回路14にて発生されるパリティビットのパリティ出力信号線、16はRAM(Random Access Memory)などで成るダイレクトリメモリである。ダイレクトリメモリ16は周知のようにキャッシュ制御部(図示せず)の制御のもとにキャッシュメモリ(図示せず)に格納されているデータのアドレス情報(ダイレクトリ情報)を登録管理するためのファイルとして用いられるダイレクトリメモリ16は、出力信号線13上の情報を(ダイレクトリメモリ13を検索するための)アドレス入力とし、出力信号線12上の情報およびパリティ出力信号線15上の情報との連結情報をデータ入力としている。本実施例において、出力信号線12上の情報すなわちアドレスレジスタ11の上位nビットがダイレクトリ情報として用いられている。

17はダイレクトリメモリ16の読出し出力のうちのダイレクトリ情報のための読出し出力信号線、18は同じくダイレクトリメモリ16

のデータがキャッシュメモリの同一ブロックに保存されるようなキャッシュ装置におけるダイレクトリ装置であるものとする。そして、ダイレクトリメモリ16には"3000"₁番地に対応するダイレクトリ情報が登録されているものとする。このような状態でダイレクトリメモリ16に故障が発生し、ビット縮退によつて"3000"₁番地に対応するダイレクトリ情報が"1000"₁番地に対するダイレクトリ情報に変化してしまったものとする。

ここで、CPUからメモリアクセス要求が発生し、"1000"₁番地を示すメモリアドレスがアドレスレジスタ11に保持されたものとする。このアドレスレジスタ11の保持内容の上位nビットは出力信号線12を通してパリティ発生回路14に入力され、この結果パリティ出力信号線15上に対応するパリティビットP₁が出力される。

一方、アドレスレジスタ11の保持内容の下部mビットは出力信号線13を通してダイレク

の読出し出力のうちのパリティビットのための読出し出力信号線である。19は比較回路(第2の比較回路)である。比較回路19はパリティ出力信号線15上の情報と読出し出力信号線18上の情報とを比較し、不一致検出時に禁止信号線20上に禁止信号を出力するようになっている。また、21も比較回路(第1の比較回路)である。比較回路21は出力信号線12上の情報と読出し出力信号線17上の情報とを比較し、メモリアドレス(の上位nビット)がダイレクトリメモリ16から読出されるアドレス情報と一致するか否かを判定する。比較回路21は上記比較によつて一致を検出し、かつ禁止信号線20より禁止信号が与えられないときだけ、ダイレクトリメモリ16に登録されている旨の一致検出信号を出力信号線22を通してキャッシュ制御部へ出力するようになっている。

次に動作を説明する。従来例で説明した場合と同様に、主記憶装置(図示せず)における"1000"₁番地と"3000"₁番地

トリメモリ16のアドレス入力となる。アドレスレジスタ11の保持内容すなわち"1000"₁番地に対応するダイレクトリ情報は本来ダイレクトリメモリ16に登録されていない。しかし、上述のように、"3000"₁番地に対応するダイレクトリ情報が"1000"₁番地に対するダイレクトリ情報に変化しているため、上記アドレス入力によつて"1000"₁番地に対するダイレクトリ情報(およびそのパリティビットP₂)がダイレクトリメモリ16から読出されてしまう。この"1000"₁番地に対するダイレクトリ情報は読出し出力信号線17を通して比較回路21に出力され、上記パリティビットP₂は読出し出力信号線18を通して比較回路19に出力される。

比較回路21は出力信号線12上の情報すなわち"1000"₁番地を示すメモリアドレスの上位nビットと、読出し出力信号線17上の"1000"₁番地に対するダイレクトリ

情報とを比較する。この場合、一致を示す比較結果となる。したがって、比較回路21から一致検出信号がそのまま出力されてしまうとすると、従来例で説明したようにキャッシュヒットしたものと（キャッシュ制御部によつて）判断され、キャッシュメモリより、すでに保存されている“3000”₁。番地のデータが誤つて読出されることになる。しかし、この場合、本実施例では以下に示すように比較回路21から一致検出信号は出力されず、誤ったデータが読出される恐れはない。

すなわち、比較回路19はパリティ出力信号線15上の前記パリティビットP₁と、読出し出力信号線18上の前記パリティビットP₂とを比較する。これにより、比較回路19は不一致を検出し（一致検出の場合も、ある確率で起り得るが）、禁止信号を禁止信号出力線20上へ出力する。比較回路21は、前述の如くたとえ出力信号線12上の情報と読出し出力信号線17上の情報との一致を検出した場合でも、禁

止信号出力線20上の上記禁止信号によつて、一致検出信号の出力を禁止される。この結果、キャッシュミスしたものと（キャッシュ制御部によつて）判断され、主記憶装置より

“1000”₁。番地のデータが正しく読出される。このとき、“1000”₁。番地に対応するディレクトリ情報（“1000”₁。を示すアドレスの上位nビット）と、このディレクトリ情報に基づいてパリティ発生回路14で発生されるパリティビットとは、出力信号線12およびパリティ出力信号線15をそれぞれ介してディレクトリメモリ16に登録され、対応するデータはキャッシュメモリに保存されることは勿論である。

このように本実施例によればパリティ発生回路14および比較回路19を設けるだけで、特別のパリティ検査回路等を用いることなくディレクトリメモリ16に登録されているディレクトリ情報に対するパリティチェック（と等価な検査）が行なえるので、特にディレクトリメモ

リ16の故障などに起因する誤動作を極めて簡単に防止でき、正しいキャッシュアクセス（データ読出し）を効率よく行なうことができる。

また、本実施例によれば、間欠的に発生するエラーに対してはキャッシュミスした場合と同じ動作となり、正しいデータが主記憶装置より読出されると共に、対応するディレクトリ情報がディレクトリメモリ16に登録され、かつ上記正しいデータがキャッシュメモリに保存される自己回復機能が發揮できる。

また、本実施例によれば、異常検出のためのパリティチェック（と等価な検査）を、パリティ検査回路を用いずに、比較回路19によつて比較回路21とほぼ同時に行なうことができるので、パリティチェックのための特別な検査時間を設ける必要がなく、したがって処理速度に悪影響を及ぼす恐れがない。

なお、前記実施例では2つの比較回路19、21を設けた場合について説明したが、1つの比較回路によつて出力信号線12およびパリテ

ィ出力信号線16上の各情報の連結情報と、ディレクトリメモリ16の読出し出力（読出し出力信号線17、18上の各情報の連結情報）とを比較するようにしてもよい。この場合、一致検出はキャッシュヒットに対応し、不一致検出はキャッシュミスに対応することになる。

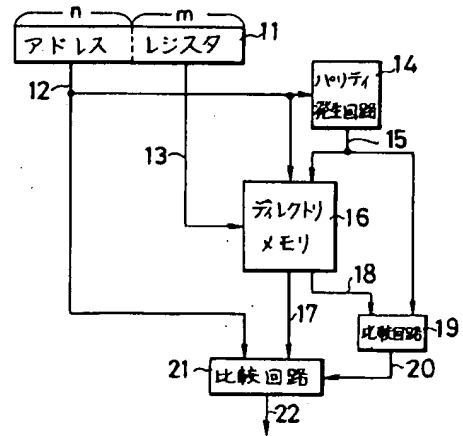
また、前記実施例において比較回路19から出力される禁止信号を、パリティエラーを示す異常検出信号として用いることにより、たとえばディレクトリメモリ16の故障などを示す表示ランプを点灯させたり、あるいはディレクトリメモリ16をチェックする検査プログラムを走行させることができ、一般に故障解析が困難なディレクトリメモリ16の効率よい解析が可能となる。

以上詳述したように本発明のディレクトリ装置によれば、極めて簡単な構成でありながらキャッシュアクセス要求に対するデータの読出しを誤りなく行なうことができる

4. 図面の簡単な説明

図面は本発明のディレクトリ装置の一実施例を示すブロック図である。

11…アドレスレジスタ、14…パリティ発生回路、16…ディレクトリメモリ、19、21…比較回路、20…禁止信号線。



出願人代理人 井理士 鈴 江 武 彦